

ここから始める アナ・ディジ混載設計

第2回 D-Aコンバータのアーキテクチャ

湯川 彰

ミックスト・シグナル（アナログ・ディジタル混載）LSIの設計に関する連載の第2回である．今回は，ナイキスト・レートのD-Aコンバータの回路構成とそれぞれの特性について解説する．D-Aコンバータでは，1種類の構造を用いるのではなく，複数の方式を組み合わせて，それぞれの方式に特有の欠点をカバーする場合が少なくない．つまり，より多くの方式や回路形式を知っているほど設計に有利ということになる．（編集部）

D-Aコンバータ（DAC）のアーキテクチャにはいろいろありますが，その大半はそれまでにあったアーキテクチャの欠点を克服することを目的に発明・開発されてきたものです．それぞれがどのような利点を持ち，どのような欠点を持つのかがわかっていれば，D-Aコンバータを選択するとき，どの方式を第1候補とすればよいかの参考になると思います．同時に，どこをどう克服したかということが設計の勘どころでもあります．

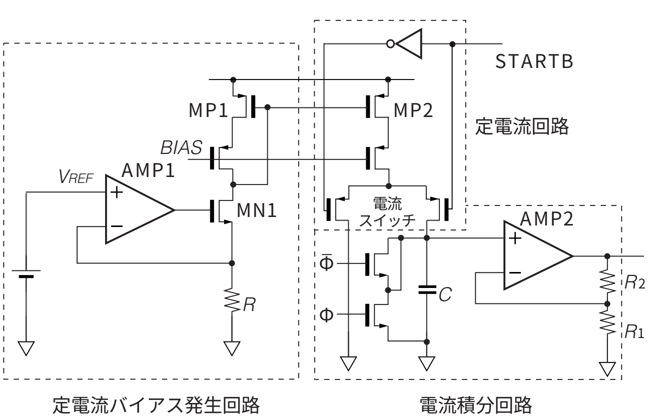


図1　定電流源を用いたD-Aコンバータの概念図

定電流源を用いたD-Aコンバータは，定電流回路にバイアスを作る回路，定電流回路，電流積分回路と，この図には示していないがサンプル・ホールド回路から成り立っている．

それぞれの方式に対する説明のところで述べますが，たいていのD-Aコンバータは複数の方式を組み合わせた構成になっています．性能の改善が求められたとき，いろいろな方式を比較することで，どのように変更するとよいかのヒントを得られることがあります．

● 一定電流でキャパシタを充電する積分型DAC

まず，時間を量子化変数として用いる方法を説明します．一定の電流をキャパシタに充電すると，キャパシタの電圧は充電時間に比例します．これを式に書くと，以下のようになります．

$$V = V_0 + \frac{I}{C}t \tag{1}$$

ここで，V_0は積分開始の初期値，Iは積分電流，Cは積分容量，tは積分時間です．この式から，誤差の要因は初期値のV_0と時間刻みの正確さ，電流Iの安定性，容量Cの値とそれが電圧や温度に依存しないことが挙げられます．初期値の正確さを確保するには回路上のくふうが必要です．時間刻みについては，水晶発振器を用いれば，10進8けたく

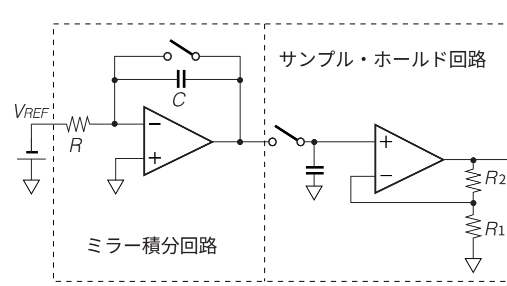


図2　ミラー積分器を用いたD-Aコンバータ

ミラー積分器を用いたD-Aコンバータは，基準電圧源，ミラー積分器，サンプル・ホールド回路から成り立っている．

らいの精度はそれほど困難なく得られることが知られています．容量は，外付けのときはスチロール・コンデンサが指定されることが多いと思います．ここで，回路設計者がもっとも注意しなければならないのは電流でしょう．

一定電流でキャパシタを充電する回路はいろいろと考えられますが，典型的な回路としては，**図1**に示す定電流回路と，**図2**のミラー積分回路があります．

1）定電流回路による方法

図1の回路は実際に使われている回路ではなく，原理を示すために作ったものです．定電流源はMOSトランジスタの飽和特性を用いて作りますが，トランジスタの飽和特性を示すドレイン・コンダクタンスはだいたい10^{-5}℧（モー）のオーダです．この値では，ドレイン電圧が変化したときにドレイン電流も無視できない程度変化するため，8ビット程度以上の精度を実現することは困難です．そこで，何らかの方法でコンダクタンスを小さくする必要があります．

その方法はいくつかありますが，もっとも手軽でよく用いられる方法としてカスコード型の定電流源があります．この方法を用いれば，100倍程度特性が改善されます．すると，バイアス電圧発生回路にもそれに対応した特性が必要となります．そのような回路の一つが**図1**の左の部分にあるOPアンプ（演算増幅器）を用いた回路です．基準電圧が入力されると，この基準電圧と抵抗Rの電圧が等しくなるようにAMP1の出力電圧が変化し，MN1のゲート電圧が決まります．Rを流れる電流とMP1を流れる電流は等しくなければならないので，そうなるようにMP1のゲート電圧が決まります．PMOSのカスコード・トランジスタは，MP1とMP2のドレイン電圧が同じ電圧を維持するように動作するので，電流変化はより小さくなります．

MP1とMP2のゲート電圧は等しいので，チャネル長とチャネル幅を等しくすれば，ほぼ等しい電流が流れることになります．ただし，すべてのトランジスタが飽和領域で動作しているという条件が付きます．トランジスタが飽和領域で動作しているか，電圧マージンがどのくらいあるかの概算は，本誌2004年10月号，pp.68-76，「ミックスト・シグナルLSI設計に必要な基礎知識」のインバータの解析で使った手法を用いて行います．また，最終的にはSPICEシミュレーションの動作点解析で得られる動作点におけるトランジスタの電圧，電流のリストから，V_{DS}がV_{DSAT}（DC解析を行った動作状態のゲート電圧で，ドレイン電圧が飽和領域の動作を示す最低電圧）の値に対してどのくらい余裕があるかによって判断します．

次に，発生した電流を決められた時間，キャパシタに充電することで，アナログ値に変換することになります．それには電流スイッチ回路が適当でしょう．また，キャパシタには初期値設定のためのスイッチが必要です．これにはNMOSトランジスタを用いたスイッチで十分ですが，スイッチがOFFするときにゲート電極からのフィード・スルー電荷を補償するためにダミー・スイッチを付ける必要があります[注]．ダミー・スイッチとは，スイッチ・トランジスタの半分の大きさで，ソース電極とドレイン電極を短絡させたトランジスタをスイッチ・トランジスタと逆相のパルスで駆動する回路です．

電圧に変換した出力はインピーダンスが高く，出力電圧範囲も限られます．そこで，利得のある電圧フォロワ回路でバッファ増幅して出力することになります．なお，この出力は変換ごとのゼロ・スタートになるので，サンプル・ホールド回路を付加して変換結果だけを出力する必要があります．

基本的な回路が決まれば，定数を決めて実現性を確認します．とくに，積分容量を内蔵できるかどうか，そのときの定数は妥当なものになるかどうかが気がかりです．例えば電流を1μA，最大積分電圧範囲を2V，積分時間を1msとすると，積分容量の値は，

$$C=\frac{It}{V}=\frac{1\times10^{-6}\times1\times10^{-3}}{2}=5\times10^{-10} \quad (2)$$

となって，500pFという大きな値になってしまいます．この値であれば，外付けにしたいところです．内蔵の場合はもう1けた小さくしたいところでしょう．容量値を1けた小さくするには電流を1けた小さくする方法が考えられます．しかし，0.1μAとなると，リーク電流との兼ね合いが難しくなりそうです．

というわけで，積分型のD-Aコンバータの構造は実際の

注：MOSトランジスタをスイッチに用いるとき，例えばNMOSトランジスタではゲート-ソース間電圧がしきい値電圧以下ではOFFに，しきい値電圧以上ではONになる特性を利用する．OFFするときは，ゲート電極を電源電圧から0Vにする．ゲートとソースおよびドレイン電極の間にはオーバラップ容量がある．また，トランジスタのチャネル内にある電荷もOFFするときにソースとドレインに吸収される．そのため，スイッチがOFFすることに伴って，ゲートの電圧変化量とオーバラップ容量の積で求められる電荷とチャネル・チャージの一部が変化することになる．これをスイッチのフィード・スルー（ノイズ）と呼ぶ．半分の大きさのトランジスタのソースとドレインを短絡したもの（ダミー・スイッチ）をフィード・スルーを防ぎたいスイッチの端子に接続し，逆位相のクロックで駆動すれば，ちょうど逆極性の電荷移動を伴うのでフィード・スルーを打ち消すことができる．

D-Aコンバータとしてはあまり使われていません．

2）ミラー積分回路による方法

一定電流で積分する方法として，**図2**のミラー積分回路による方法もあります．ミラー積分回路は，基準電圧源へ流出する電流によってOPアンプの入力電圧が下がろうとしたとき，出力電圧を上げることで負の入力端子電圧を正の入力端子と同じ電圧に保つように動作する原理に基づいています．この動作では，ちょうどOPアンプの負入力と出力の間に接続された容量，およびOPアンプの利得の積に相当する容量を接続した場合と同じ効果があります．また，出力電圧は，あくまでも二つの入力端子間の電圧の差をオープン・ループ利得倍した値です．誤差を小さくするためには，OPアンプのオープン・ループ利得を大きくしなければなりません．なお，電流はほぼ，

$$I = \frac{V_{REF}}{R} \quad (3)$$

となります．積分容量の制約については，定電流源を用いた積分回路と同じです．

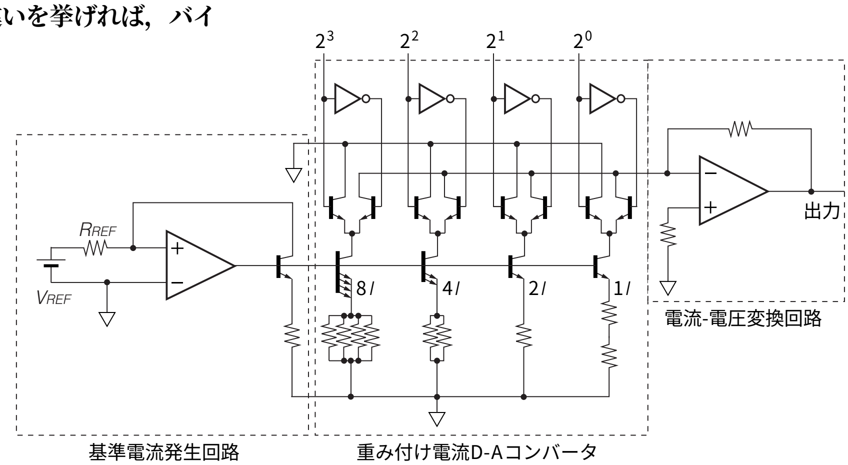
これら積分型の回路はバイポーラ回路とほとんど変わりのない構成になっています．しいて違いを挙げれば，バイポーラ回路はトランジスタのベース入力にベース電流が流れるので，これを補償するかあるいは無視できる定数を選ぶくふうが必要になります．また，MOSスイッチのような簡単な短絡素子がないので，基準点の決めかたにくふうが必要になります．

● 2進数で重み付けした抵抗を使う重み付け抵抗型DAC

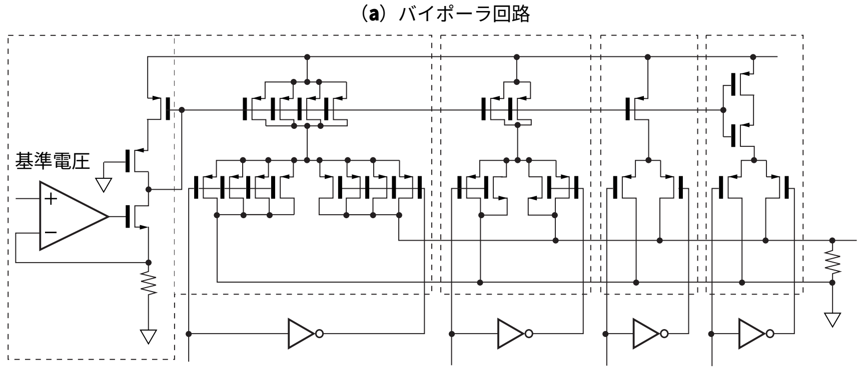
次に，重み付け抵抗型D-Aコンバータについて説明します．

1）バイポーラ回路

まず，元となるバイポーラ回路から紹介します．この回路を**図3(a)**に示します．バイアス回路（基準電流発生回路），D-Aコンバータ本体（重み付け電流D-Aコンバータ），電流-電圧変換回路の組み合わせになっています．バイアス回路はOPアンプを用いた電圧-電流変換回路になっています．D-Aコンバータ本体の抵抗は2進数で重み付けした電流を作るために利用されています．バイアス回路から供給される電圧をベース電極に与え，エミッタにこの抵抗を接続することにより，この抵抗にかかる電圧を等しくしています．これによって，抵抗値に反比例する電流を得ていま



(a) バイポーラ回路



(b) MOS回路

図3
重み付け電流D-Aコンバータ

重み付け電流D-Aコンバータでは，(a)のようにベースを共通にバイアスしたトランジスタのエミッタに抵抗を接続する．この抵抗は2進数で重み付けした抵抗値を持っており，2進数で重み付けした電流を発生させる．これを出力に接続するかどうかを電流切り替えスイッチで制御する．(b)のMOS回路の場合は，MOSトランジスタのチャネル長は一定にして，チャネル幅を2倍，4倍と変えたトランジスタを用いて2進数で重み付けした電流を作る．

す．図3（a）では4ビット分解能になっていますが，例えば8ビット分解能のD-Aコンバータでは最大1対128の抵抗比を用意しなければなりません．このとき，1の抵抗は太く短い形状で，128は細長い形状で，というようにそれぞれ個別のパターンによって設計すると精度が保てません．そこで，同じ形状の単位抵抗を直列接続して高い抵抗を，並列接続して低い抵抗を実現します．回路図もそのように示してあります．また，重み付け電流なので，各ビットに対応する電流値が異なります．同じ大きさのトランジスタに異なる電流を流すとベース-エミッタ間の電圧が異なり，抵抗に加わる電圧が異なることになります．そこで，たくさん電流が流れるトランジスタのエミッタ面積を電流に比例して大きくすることで，抵抗にかかる電圧をそろえています．ただし，レイアウト面積の節約になるため，下位ビットで誤差が許容できるところではかならずしも比例した寸法を適用せず，ベースに直列に抵抗を挿入して調整することもあります．

2）MOS回路

この回路をCMOS回路に変換したものを**図3（b）**に示します．バイポーラ回路では2進重み付け電流を決めるために抵抗を用いていましたが，CMOS回路ではトランジスタのチャネル幅を変えることによって決めます．抵抗はバイアス電圧を作るためだけに用いています．

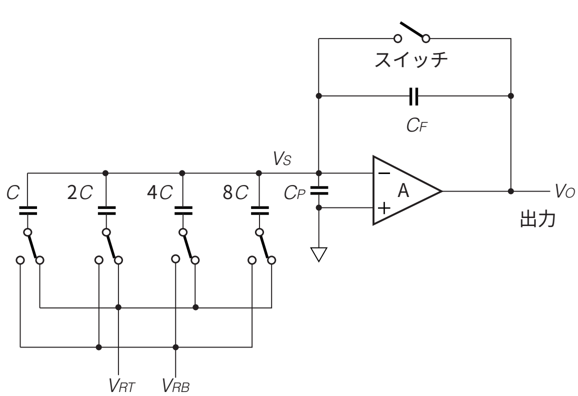
バイポーラ回路においてエミッタに抵抗を接続して電流を決める理由の一つは，バイポーラ・トランジスタにおけるエミッタの寄生抵抗のばらつきが大きくて，電流を流したときの寄生抵抗による電圧降下を無視できないからです．また，相互コンダクタンスが大きいので，ベース電圧が約25mV（kT/q）変化しただけでコレクタ電流は約2.7（自然対数の底）倍になります．エミッタに抵抗を付加してこの抵抗値で電流を決めれば，エミッタ抵抗のばらつきによる影響を小さくすることができます．

これに対して，MOSトランジスタは相互コンダクタンスがそれほど大きくなく，ソースの寄生抵抗のばらつきも小さくできます．つまり，トランジスタのチャネル幅で電流を決めることができます．飽和電流はゲート-ソース間電圧からしきい値電圧を引いたものにほぼ比例します．レイアウトにおける寄生抵抗を小さく均一にすることによって，ゲート-ソース間電圧の変動を防ぐと同時に，ゲート-ソース間電圧を可能な限り大きく設計します．こうすることで，ばらつきに強い設計になります．なお，MOSの重み付けD-Aコンバータは，あとで述べる高速な電流スイッチD-Aコンバータの下位ビット用としてよく用いられています．

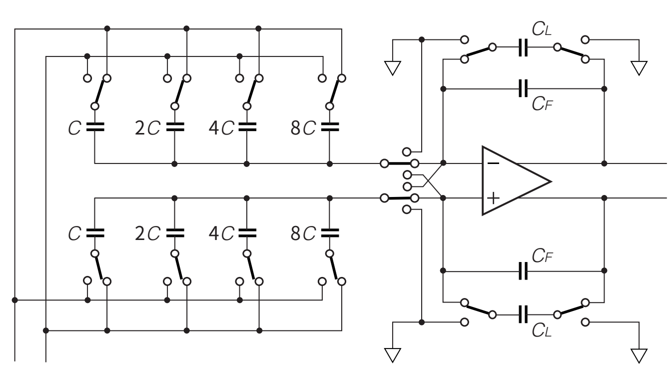
● 充電量を利用するスイッチト・キャパシタ型DAC

MOS集積回路では，トランジスタのゲート電極を入力とすると，インピーダンスを非常に高くできます．そこで，充電（チャージ）量を量子化変数として扱うことができます．これを利用したのがスイッチト・キャパシタD-Aコンバータ（SCDAC）です．原理回路を**図4（a）**に示します．普通のアナログ回路の応答特性はキルヒホッフの法則（電流保存則）を用いて分析しますが，スイッチト・キャパシタ回路の応答特性は電荷保存則を用いて分析することになります．

この回路では，まずOPアンプの入出力をスイッチで短



（a）原理回路



（b）フィルタ付きD-Aコンバータ

図4　スイッチト・キャパシタD-Aコンバータ

MOS集積回路のゲート電極の入力インピーダンスが非常に高いので，電荷を変数にしたD-Aコンバータを構成できる．（a）のように，容量を用いてディジタル値に対応した電荷量を設定する．ふるまいの解析には電荷保存則を用いる．（b）はフィルタ付きの回路である．スイッチト・キャパシタD-Aコンバータだけでは初期化周期が必要となり，サンプル・ホールド回路を負荷する必要がある．どうせ付け加えるなら，イメージ除去フィルタにしたほうが効率的である．

絡し，OPアンプの入力端子を0Vにしておきます．また，重み付けされた容量(C，$2C$，…)に接続されたスイッチは，すべてV_{RT}側に倒れているものとし，この電圧も0Vとします．すると，すべてのキャパシタに蓄えられている電荷は0ということになります．

次にOPアンプの入出力を短絡していたスイッチをOFFにし，入力ディジタル値に対応した容量に接続されているスイッチをV_{RB}側に倒します．すると，容量分圧によって出力に電圧が得られます．ここでOPアンプの入出力間の容量をC_F，利得をA，入力電圧をV_S，入力コードをm，重み付け容量の総数をM($M=2^N-1$)，寄生容量をC_Pとして，コードmに対するアナログ出力を行うことを考えます．出力電圧V_Oとほかの電圧の関係は，OPアンプの入力端子では電荷の出入りはないという電荷保存則により，

$$C_F(V_S-V_O)+mC(V_S-V_{RB})+(M-m)CV_S+C_PV_S=0 \quad (4)$$

$$V_O=-AV_S \quad (5)$$

と表すことができます．この式を整理すると，

$$V_O=-\frac{mCV_{RB}}{C_F+(C_F+MC+C_P)/A} \quad (6)$$

となって，入力ディジタル・コードに比例した電圧が得られることがわかります．ここで，OPアンプのオープン・ループ利得や寄生容量は出力の線形性には影響を与えず，変換利得に対して影響を与えることが読み取れます．また，OPアンプの利得が十分大きければ，重み付け容量とフィードバック容量の比と基準電圧振幅の積によってフル・スケールが決まることがわかります．

変換速度は，OPアンプのスルー・レート，ユニティ・ゲイン周波数，位相余裕によって決まります．スイッチト・キャパシタ回路の場合，位相余裕については，最悪条件でも60 °必要です．スルー・レートは，最大振幅を変化する時間の1/2以下の時間で電圧が変化できるだけの大きさが必要です．例えば，静定(セトリング)時間を1 μs以下にすることが目標で2V振幅であれば，4V/ μs以上は必要ということになります．なお，この三つの仕様のうち，スルー・レートとユニティ利得周波数はいっしょに大きくできますが，そうすると回路に流す電流を増やさなければなりません．これがドレイン・コンダクタンスを増加させるため，オープン・ループ利得を低下させ，合わせて位相余裕も悪化させるという関係にあります．このように，一方を良くすると他方が悪くなるという関係があることに注意して最適設計を行う必要があります．

スイッチト・キャパシタD-Aコンバータにはリセット周期があるので，そのままでは半周期ゼロ出力になってしまいます．また，D-A変換のあとにイメージ信号除去フィルタが必要です．例えば，**図4(b)**のようにスイッチト・キャパシタ・フィルタ(SCF)と組み合わせた形で利用すれば，リセットのゼロになる期間を隠すことができます．この回路は，D-Aコンバータと1次のローパス・スイッチト・キャパシタ・フィルタを組み合わせた回路です．

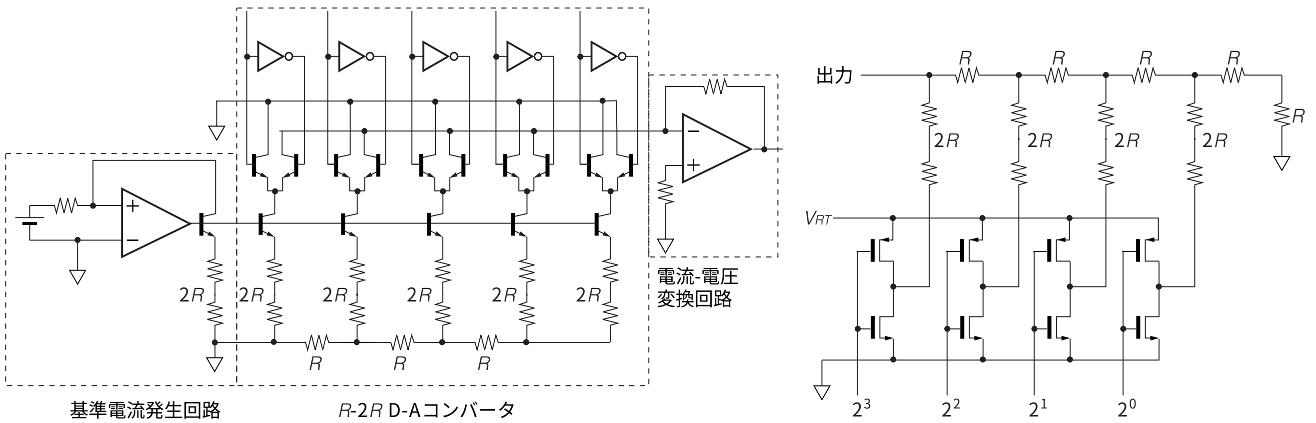
● 少ない抵抗で高分解能を実現するはしご型抵抗DAC

はしご型抵抗D-Aコンバータの回路にはいくつもの派生形があります．ここでは高速用の回路を示します．

1) バイポーラ回路

重み付け抵抗型D-Aコンバータは2進符号に対応した電流をそれぞれ抵抗で独立に作っていました．はしご型では，Rと$2R$を組み合わせると最上位の半分，その半分というぐあいに構成できる性質を利用しています．**図5(a)**の左端の基準電流発生回路は差動スイッチの両方がグラウンドに接続されています．その隣の差動スイッチの片方はグラウンドに，もう片方は電流-電圧変換回路の役割を持つOPアンプの入力に接続されています．また，$2R$は共通にバイアスされたトランジスタのエミッタに接続されており，エミッタ電圧はベース電圧よりダイオードの順方向電圧分だけ低くなっています．ですから，この二つの抵抗の合成値はRになっています．この抵抗と直列にRが接続され，合計$2R$にして隣の$2R$と並列接続されています．つまり，右端の並列接続された点の電圧は次の段の半分になり，電流が半分になっていることになります．このようにして左に行くにしたがって倍，倍の電流が得られることになります．ですから，入力の各ビットが1のけたを差動スイッチの出力側に倒すことで，電流-電圧変換回路を介して電圧出力が得られます．

この回路には，少ない数の抵抗で高い分解能を容易に実現できるという利点があります．その代わり，例えば8ビットの場合，コード127はMSB(most significant bit)を除く電流源の電流の和となりますが，コード128はMSB1個の電流源で数値を表すことになります．ですから，最上位の抵抗精度は分解能と等しい精度が要求されます．つまり，少なくとも最上位の抵抗には最終分解能と等しい精度が必



(a) バイポーラ回路　　(b) MOS回路

図5　はしご型抵抗D-Aコンバータ

(a) は，2進重み付け電流源をはしご型抵抗回路網で構成した電流D-Aコンバータ（はしご型抵抗D-Aコンバータ）である．抵抗の数を少なくできるという特徴がある．そのかわり，とくに上位の電流値を決める抵抗には分解能に相当する精度が必要となる．MOS回路になると，(b) のように電流スイッチの代わりに基準電圧切り替えスイッチが接続され，二つの基準電圧の中間電圧を出力する電圧出力になる．

要です．下位の抵抗については要求精度を緩和できますが，同じ抵抗値を実現するため，わざわざ異なる寸法の抵抗を設計するのも製造管理上難しいと考えられます．そこで，それぞれの抵抗を大きめに設計しておくことになります．

なお，この回路でも各電流段のトランジスタを流れる電流が異なります．電流に比例したエミッタ・サイズのトランジスタを用いるか，ベース入力に抵抗を付けてベース電流を微調整する必要があります．

2）CMOS回路

MOS集積回路ではMOSトランジスタを純粋なスイッチとして用いることができます．そこで，電流モードで回路を組むのではなく，**図5(b)** のように抵抗ネットの分圧回路とします．2Rの一端は，スイッチによりV_{RB}とV_{RT}に切り替えるようになっています．

バイポーラ・トランジスタの回路では抵抗の電圧をトランジスタで制御していましたが，MOS回路では基準電圧そのままになっています．したがって，基準電圧のインピーダンスは回路で用いている抵抗の抵抗値より十分小さい値でなければなりません．

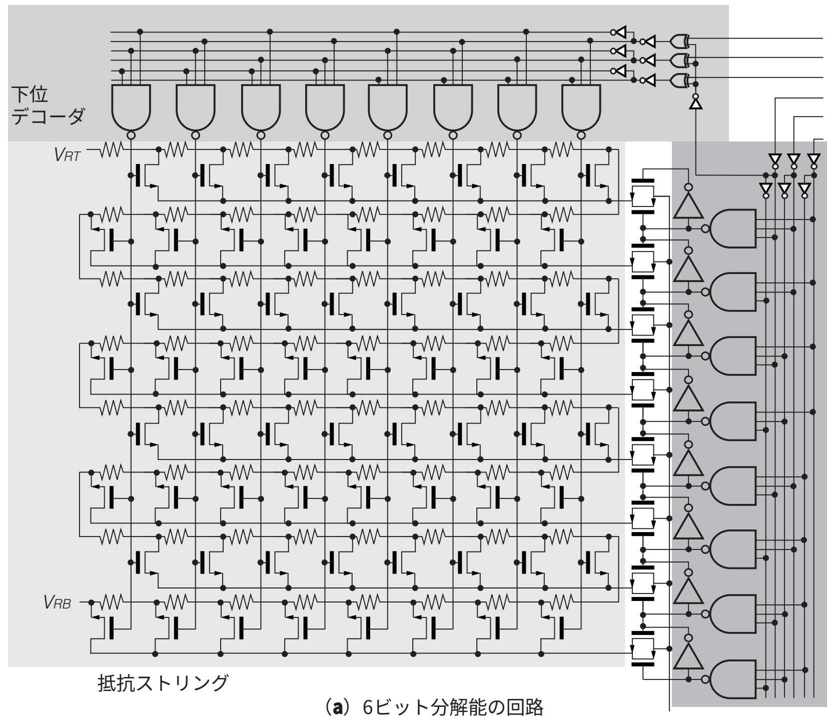
原理はバイポーラの場合とまったく同じで，$V_{RB}=0$として話を進めます．右端の二つの2Rは並列接続なので，等価的にRです．もし2RがV_{RT}に接続されていれば，接点の電圧は$V_{RT}/2$，V_{RB}なら0となります．その左の2段目の接点では，やはり2Rと2Rの並列接続で，合成抵抗はRとなります．1段目のスイッチが1で2段目が0であればここからの出力は$V_{RT}/4$となり，両方とも1であれば$3V_{RT}/4$となることは容易に理解できると思います．

この抵抗回路網の出力インピーダンスはRなので，負荷と電流のやりとりを無視できるのであれば，誤差は変換精度だけで決まります．ただし，電流を流すとIRドロップ（電圧降下）分だけ変化することに注意が必要です．

なお，スイッチの抵抗値は無視できるくらい小さくなることが望ましいのですが，無視できないときは，その分だけ2Rの抵抗を小さくすることになります．スイッチの抵抗は製造プロセスや電源電圧で変化します．その変動を織り込んだ設計と仕様決めを行う必要があります．

● 抵抗の精度を緩和できる抵抗ストリング型DAC

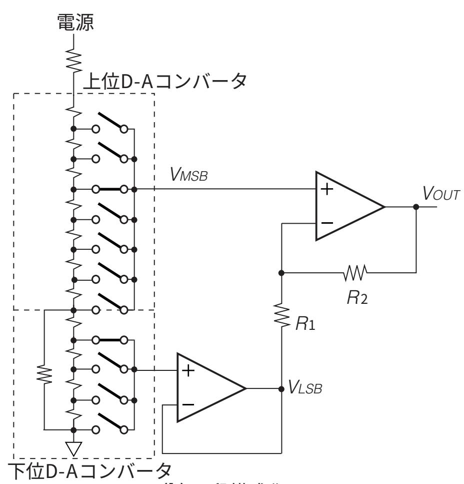
重み付け抵抗型D-Aコンバータもはしご型抵抗D-Aコンバータも，アナログ量の単位を2進数で重み付けすることによって部品点数の削減を図っています．その代わり，それぞれの部品に要求される精度は最終分解能に要求される精度と同程度が求められるという問題があります．これに対して抵抗ストリング型D-Aコンバータは，アナログ量の単位を量子化した各電圧のすべてを発生させ，スイッチによって目的の電圧を選択する方式です．したがって，10ビット分解能を実現する場合，1,024個の抵抗を直列に接続します．はしご型抵抗D-Aコンバータであれば，1ビット当たり3個とLSB（least significant bit）側に2個の合計32個の抵抗で済むので，これと比べると格段に多くの抵抗が必要であると言えます．また，スイッチも，はしご型抵抗D-Aコンバータでは20個あれば済みますが，抵抗ストリング



（**a**）6ビット分解能の回路

図6
抵抗ストリング型D-Aコンバータ

抵抗ストリング型D-Aコンバータは，すべての量子化レベルを抵抗の分圧で作るため，(a)のように回路規模が大きくなる．しかし，それぞれの素子に要求される精度は低くてかまわないため，面積は小さくなる．そのため，集積化したとき，コンパクトにまとめることができる．積分直線性の劣化をある程度許容できる場合は，(b)のように抵抗ストリングを2段に分ける方法を採ることができる．これによって，16ビット・クラスのD-Aコンバータを小さく作ることができる．上位D-Aコンバータと下位D-Aコンバータを図のように合成することで，高分解能を実現している．



（**b**）2段構成化

型D-Aコンバータでは1,024個以上必要になります．素子寸法の入っていない回路図で考えると，非常に不経済な方式と言うことになります．

しかし（詳しくは次回に述べるが），この方式を用いると，それぞれの抵抗に必要な精度が緩和されます．例えば10ビット精度の場合，抵抗に必要な精度は5ビット程度です．その理由は以下のとおりです．抵抗を直列接続したとき，抵抗値の総和は直列接続した数に比例します．ところが，総和に対するばらつきは直列接続した数の平方根に比例してしか大きくなりません．つまり，集めれば集めるほど相対精度は向上するわけです．また，スイッチは電流を流すわけではなく電圧を伝えるだけなので，小さくて済みます．また，タップの順番に電圧が変化していくので，どんなに素子ばらつきが大きくても，単調性を保証できるという利点もあります．

6ビット分解能のD-Aコンバータの回路例を**図6(a)**に示します．V_{RT}とV_{RB}の間に直列に64個の抵抗が接続されています．タップの選択については，上部にあるデコーダとそれぞれの抵抗のタップに接続されているNMOSトランジスタを用いて下位3ビットをまず選択します．次に右端に配置されているデコーダとトランスファ・ゲートで上位3ビットを選択します．下位のスイッチは図を簡略にするためにNMOSだけになっていますが，出力電圧範囲が広いときはCMOSスイッチにする必要があります．

この回路の変換速度は，抵抗列の出力インピーダンスとスイッチのインピーダンスの和と，負荷と寄生容量の和の積で決まる時定数によって制限されます．また，スイッチが接続されている電圧が異なるので，駆動パルスが同時に出力されても，スイッチがONするタイミングは出力電圧によって変化します．これがタイミング変動となって高い周波数のS/N特性に影響します．ですから，ひずみ率が重要となる通信用などには向きませんが，30MHz程度のビデオ用までは十分にカバーできます．なお，高い動作周波数

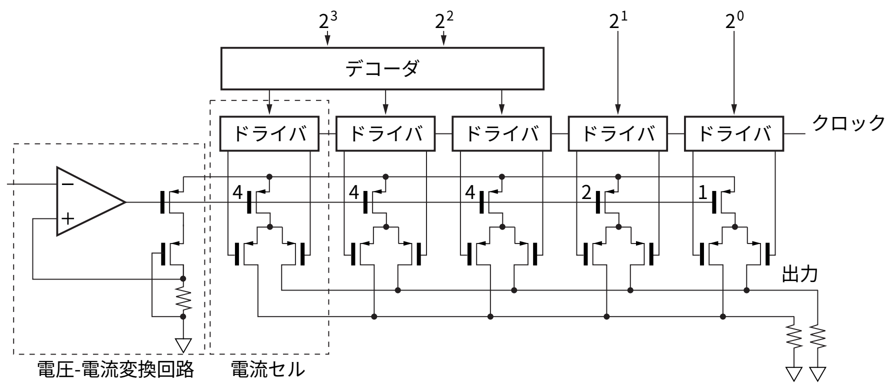


図7
電流セル型D-Aコンバータ
4ビットの電流セル型D-Aコンバータの上位2ビットを電流セルで，下位2ビットを重み付け電流源で構成したときの回路図．通常は，分解能のすべてを等電流の電流セルで作るわけではない．この分けかたは，目標性能と目標コストのトレードオフによって決める．

の用途の場合には，1個の抵抗は数Ωとなります．

分解能が10ビットを超えると，素子数が多いことが原因となってどうしても回路規模が大きくなり，経済性の点で問題が出てきます．そこで，**図6(b)**のように上位D-Aコンバータと下位D-Aコンバータの2個を組み合わせて16ビットのD-Aコンバータを作る方法があります．この方式は，10年あまり前にはオーディオD-Aコンバータの主流となったことがあります．

この上位D-Aコンバータと下位D-Aコンバータの電圧合成は，

$$V_{out} = \left(1 + \frac{R_2}{R_1}\right) V_{MSB} + V_{LSB} \qquad (7)$$

で表されます．

● 高速用途に対応可能な電流スイッチ型DAC

どのような端子でも寄生容量を持っているため，電圧が変化したとき，寄生容量を充放電して平衡状態に至ります．この充放電電流を大きくすれば静定時間を短くできるわけですが，電力を必要とします．そのために高速化が困難となるわけです．そこで，高速動作を行うために，アナログ的な電圧変化を最小限にとどめる必要があります．電流スイッチ型D-Aコンバータはそのような方式です．

このD-Aコンバータは主としてサンプリング周波数が10MHzからGHzまでの高速用途に適用されています．50MHzくらいまではほかの方式でも実現できますが，それ以上の周波数ではこの方式に限られます．

2進重み付け抵抗型D-Aコンバータでは，ドレイン電流密度をそろえるために，上位になるほどMOSトランジスタのチャネル幅を広くしなければなりません．このため，スイッチの入力容量が非常に大きくなります．また，例えば127から128に変化するとき，下位の電流源をOFFにして上位の電流源をONにすることになりますが，そのタイミングが少しでもずれると，スパイク状のノイズ，つまりグリッチを生じることになります．負荷条件が異なるスイッチのON/OFFのタイミングをps（ピコ秒）のオーダでそろえることは非常に困難です．

そこで，分解能の数だけ電流源とスイッチの組を用意し，入力ディジタル・コードに見合った数のスイッチを切り替えるようにすれば，負荷条件がそろいます．また，電流ばらつきも大数の法則に従って緩和され，つごうが良いわけです．ただし，8ビットで256個の電流源を切り替えると，さすがに素子間の分離領域の面積がオーバヘッドとなります．そこで，上位の4～5ビット分を同じ電流値の電流スイッチとし，スイッチ・サイズが小さくてすむ下位ビットに電流重み付けD-Aコンバータを用いることで面積の縮小を図ります．

図7に4ビットのD-Aコンバータの例を示します．左端は定電流回路のバイアスを与えるためのバイアス発生回路（電圧-電流変換回路）です．**図7**では上位2ビット分が3個の等しい電流源とスイッチで，下位2ビット分が重み付け電流スイッチで構成されています．ですから，上位の3個は4LSB分の電流を流す能力があり，1個は2LSB分，1個は1LSB分となります．

電流スイッチ型D-Aコンバータは，初期にはスイッチ・トランジスタの片方を中間電圧にバイアスし，片方を駆動する形式が普通でしたが，最近では，両方を相補型の駆動パルスでスイッチする形式が主流です．片方のスイッチだと，スイッチの共通ソース電位がONとOFFで変化することになるので，その充放電時間のためにどうしても遅くな

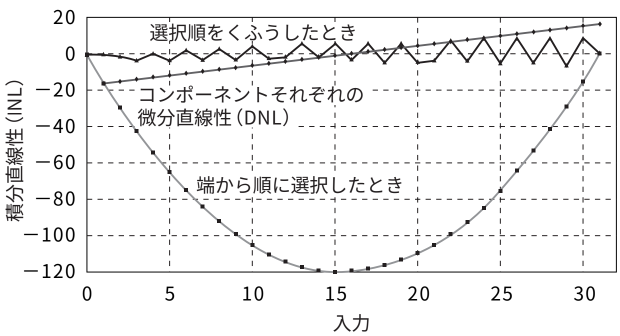


図8　選択順による積分直線性（INL）の変化

D-Aコンバータのレベルを決める素子が一定の傾斜を持って変化している場合，素子の選択順をくふうすることによって，積分直線性（INL：integral non-linearity）を大幅に改善できる．このグラフは，縦軸を誤差，横軸を順番としてプロットしたものである．一定傾斜で変化している直線は素子ごとの変動を示している．下の凸の曲線は左から順に選択したときの積分直線性で，大きく劣化している．ゼロ付近の折れ線は選択順をくふうしたもの．積分直線性が最大ばらつきの約半分になっている．

ってしまいます．相補型の駆動パルスのときには，タイミングをくふうすれば共通ソース電位がほとんど変化しなくて済むため，より高速に動作できることになります．

ビット数を拡張する場合，上位の等電流スイッチの数を増やす方法と，下位の重み付け電流源のビット数を増やす方法があります．重み付け電流源のビット数を増やすと，等電流スイッチ1個の電流が増えます．そのため，スイッチの切り替えタイミング精度がますます厳しくなると同時に，電流精度への要求も厳しくなります．等電流スイッチの数を増やすと，クロックの分配に伴う遅延変動により，グリッチ・エネルギーへの影響に注意を払う必要性が出てきます．また，面積も大きくなります．ですから，製造プロセスの加工精度，グリッチ・エネルギーやピークS/N，スプリアスなどの仕様，および目標コストを総合した判断が必要となります．

高速D-Aコンバータの世界では，普通，出力インピーダンスは50Ωと決まっています．なお，ビデオ用途では75Ωです．いま，1Vを出力する必要があるとき，受信点だけで終端する場合には20mAの電流を流すことになり，ダブル終端では40mAになります．これだけの電流がD-Aコンバータに流れるので，寄生抵抗が1Ωあっただけでも数十mVの電圧降下を生じることになります．定電流回路では，ゲート電極に一定電圧をかけます．もし電流源を1列に作って，片方の端から電流を供給すると，先にいくに従ってゲート-ソース電圧が下がっていくことになります．また，集積回路の製造プロセスでは，処理中の温度こう配やガスの不均一などによって，誤差にこう配が出ることがあります．いま，**図8**に示すように31個の等電流スイッチを使っていて，それぞれが－15から＋15までの誤差こう配を持っていたとします．15は1.5LSBと考えるとよいでしょう．いま入力信号が大きくなっていったとき，端からスイッチしていくと，図に示されているように下に凸の積分直線性（INL：integral non-linearity）になってしまいます．最終的には－12LSBの積分直線性誤差となります．これに対して，選択順をくふうしたものがゼロ付近のジグザグになった線です．この線では積分直線性は±0.8LSBの間に収まっています．このように，固定的な誤差要因に対して選択順をくふうすることでD-Aコンバータの特性を改善できる場合があり，実際の設計でも利用されています．

● 多くの方式や回路形式を知っているほど有利

前回はD-Aコンバータの仕様項目の紹介を，今回はナイキスト・レートのD-Aコンバータの解説を行いました．

一つのD-Aコンバータといっても1種類の構造を用いるのではなく，複数の方式を組み合わせて，それぞれの方式に特有の欠点をカバーしています．つまり，より多くの方式や回路形式を知っているほど設計に有利ということになります．そして，そのときそのときにネックとなっている事がらを的確に把握し，それまでに学習してきた知識の何が適用できるかをすばやく判断することが重要になります．勉強して，そのうちの1割も使えれば打率としては非常に良いといえます．

次回は，素子ばらつきとコンバータの歩留まりに関する話題について述べる予定です．

ゆかわ・あきら
NECエレクトロニクス（株）コア開発事業部

<筆者プロフィール>
湯川 彰．NECエレクトロニクス コア開発事業部で，どうすればASICライブラリやアナログ・コアを誤りなく設計できるかを検討しています．MOSのアナログ・ディジタル混載設計に30年以上携わっていて，定年後にこれに関するまとめをするべく資料を集めていましたが，本誌編集部のお誘いもあり，前倒しして書かせていただいています．企業秘密など，悩ましい問題も多々ありますが，折り合ったところで「将来を背負うみなさんの参考になれば…」と思っています．